

特開平4-291085

(43)公開日 平成4年(1992)10月15日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 11 C 11/401				
G 06 F 15/16	350 F	8840-5L		
G 11 C 11/41				
		8526-5L	G 11 C 11/34	362 G
		7323-5L		K

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号 特願平3-80484

(22)出願日 平成3年(1991)3月20日

(71)出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目2番3号

(72)発明者 原田 和世
 神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

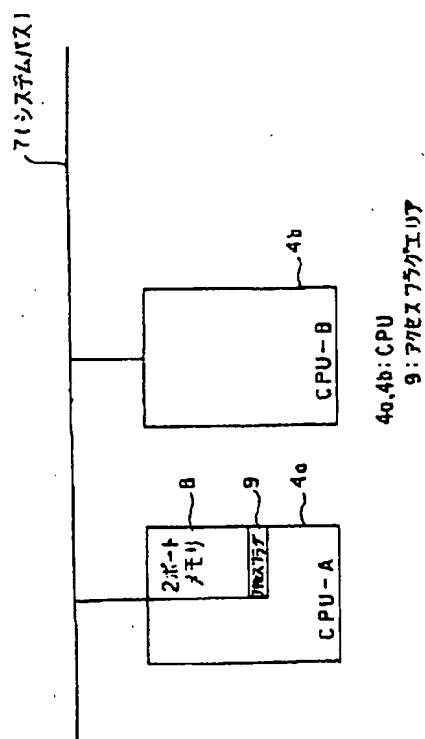
(74)代理人 弁理士 田澤 博昭 (外2名)

(54)【発明の名称】メモリアクセス方式

(57)【要約】

【目的】複雑な手順によらず、各CPU間での正確なデータの獲得を可能にする。

【構成】マルチプロセッサシステムをシステムバスを介して構成しているCPU上、あるいは該システムバスに接続された別ボード上に共有メモリとしての2ポートメモリ及び該2ポートメモリへのアクセス権を決めるアクセスフラグエリアを設け、このアクセスフラグエリアにセットされたアクセスフラグを有するCPUのみに前記2ポートメモリへのアクセスを認めるようにしたことを特徴としている。



【特許請求の範囲】

【請求項1】 複数個のCPUをシステムバスを介して接続してなるマルチプロセッサシステムにおいて、前記CPU上、あるいは前記システムバスに接続された別ボード上に共有メモリとしての2ポートメモリ及び該2ポートメモリへのアクセス権を決めるアクセスフラグエリアを設け、このアクセスフラグエリアにセットされたアクセスフラグを有するCPUのみに前記2ポートメモリへのアクセスを認めることを特徴とするメモリアクセス方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、複数個のCPUから同一メモリに対するアクセスを管理するメモリアクセス方式に関するものである。

【0002】

【従来の技術】 図3は例えば特開昭61-135292号公報に示された従来のメモリアクセス方式を実現するシステム(二重系)を構成するブロック図であり、図において、1a、1bはそれぞれ遠方制御装置と情報処理装置2a(1系)、2b(2系)を結合する結合装置である。

【0003】 また、各情報処理装置1a(1b)は、それぞれデータ格納用の主メモリ3a(3b)、各機器の制御等を行うCPU4a(4b)、及び処理結果の出力等を行う出力部5a(5b)からなり、6は前記CPU5a及びCPU5b間を接続するインターフェースである。

【0004】 次に動作について図4のフローチャートを用いて説明する。各情報処理装置2a、2bではそれぞれCPU4a、4bが同期して主メモリ3a、3bにDAM(ダイレクトメモリアクセス)転送された入力情報をインターフェース6を介して交換し合い、互いの情報を比較照合して、相異があった場合にそれぞれ異常処理を実行するように動作する。

【0005】 まず、主メモリ3a(3b)の入力情報の変化を検出すると、その変化に対応した制御情報を作成し(ステップST1、ST2)、その後、制御所と被制御所との間で前記制御情報及び監視情報を伝送するため、一定時間(t秒)待機する(ステップST3)。なお、この間も主メモリ3a(3b)には新たな入力情報が格納される。

【0006】 そして、情報処理装置2a(1系)と情報処理装置2b(2系)との間で前記入力情報を交換し合い(ステップST4)、この交換した情報と自系の情報をそれぞれ比較し(ステップST5)、もし相異があれば警報の鳴動あるいはメッセージ出力等の異常処理を行う(ステップST6、ST7)。

【0007】

【発明が解決しようとする課題】 従来のメモリアクセス

10

20

30

40

40

50

方式は以上のように構成されているので、CPU間でインターフェースを介して入力情報を交換し合う場合、該インターフェースに対して2台のCPUから同時にデータアクセスが発生し、書き込み処理中に読み出し処理を行うなどすると、新データと旧データを同時に読み出す可能性があり、信頼性が確保できないなどの課題があった。

【0008】 この発明は上記のような課題を解消するためになされたもので、複雑な手順によらず、各CPU間で正確なデータの獲得を可能にするメモリアクセス方式を得ることを目的としている。

【0009】

【課題を解決するための手段】 この発明に係るメモリアクセス方式は、マルチプロセッサシステムをシステムバスを介して構成しているCPU上、あるいは該システムバスに接続された別ボード上に共有メモリとしての2ポートメモリ及び該2ポートメモリへのアクセス権を決めるアクセスフラグエリアを設け、このアクセスフラグエリアにセットされたアクセスフラグを有するCPUのみに前記2ポートメモリへのアクセスを認めるようにしたものである。

【0010】

【作用】 この発明におけるメモリアクセス方式は、2ポートメモリへのデータアクセスに先立って、アクセスフラグエリアをチェックすることにより、排他制御する(フリーであれば自CPU個有のアクセスフラグをセットし、すでに他のCPU個有のアクセスフラグがセットされていればアクセス不可)。

【0011】

【実施例】 以下、この発明の一実施例を図について説明する。図1はこの発明の一実施例によるメモリアクセス方式を実現する各CPU間の構成を示すブロック図であり、従来のシステムと同一または相当部分には同一符号を付して説明を省略する。

【0012】 図において、7は各CPU4a、4bを接続するシステムバス、8は各CPU4a、4bの共有メモリとしての2ポートメモリ、9は前記2ポートメモリ8とのアクセスを行うCPU個有のアクセスフラグを格納しておくアクセスフラグエリアである。

【0013】 なお、前記2ポートメモリ8及びアクセスフラグエリア9は、この実施例ではCPU4a(1系)に設けたが、CPU4b(2系)に設けてもよく、また前記システムバスの接続された別ボードを用意してもよい。

【0014】 次に動作について図2のフローチャートを用いて説明する。まず、アクセス要求が発生すると、アクセスフラグエリア9をチェックし、アクセス権がフリーであることを確認する(ステップST8)。もし、フリーであれば自CPUのアクセスフラグ(各CPUに予め決められている)をセットし(ステップST9)、その後、他CPUにアクセス権が移っていないことを確認

するため、再度アクセスフラグエリア9をチェックして自CPUのアクセスフラグのままであることを確認する(ステップST10)。

【0015】そして、このようにアクセス権が獲得できた後、2ポートメモリ8へのアクセスを行い(ステップST11)、該2ポートメモリ8へのアクセスが終了した時点でアクセスフラグエリア9にセットした自CPUのアクセスフラグをリセットし、フリーにしておく(ステップST12)。

【0016】

【発明の効果】以上のように、この発明によれば、CPU上、あるいは別ボード上に共有メモリとしての2ポートメモリ及びアクセスフラグエリアを設け、該2ポートメモリへアクセスを行う前に前記アクセスフラグエリアをチェックさせることで2ポートメモリへの排他制御を行うように構成したので、複雑な手順によらず、各CPU

間で正確にデータが獲得できる効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例によるメモリアクセス方式を実現する各CPU間の構成を示したブロック図である。

【図2】この発明一実施例によるメモリアクセス方式の動作を説明するフローチャートである。

【図3】従来のメモリアクセス方式を実現するシステムの構成を示すブロック図である。

【図4】従来のメモリアクセス方式の動作を説明するフローチャートである。

【符号の説明】

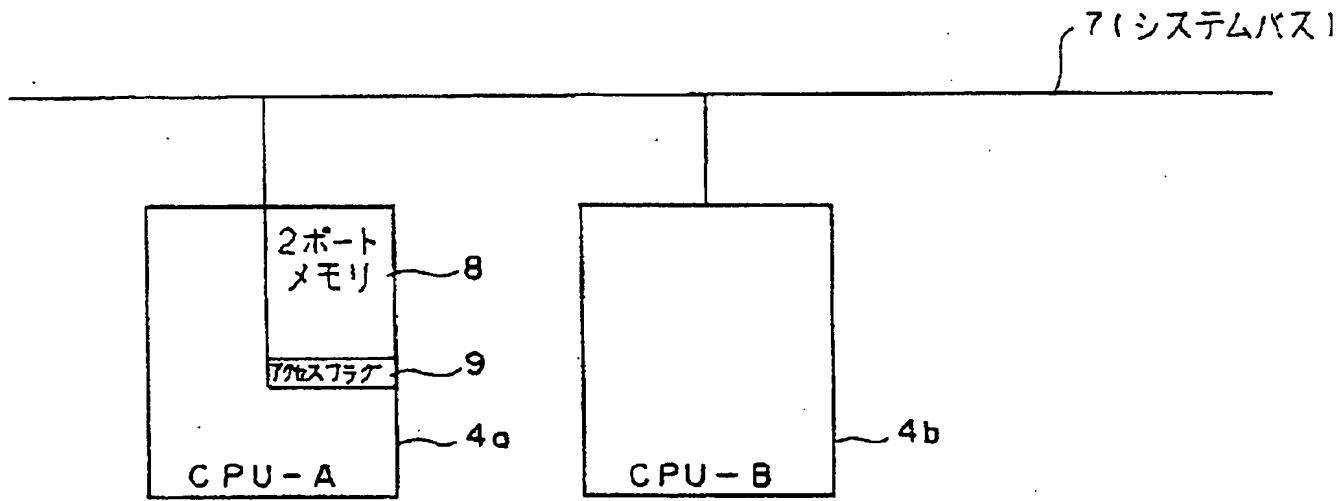
4a, 4b CPU

7 システムバス

8 2ポートメモリ

9 アクセスフラグエリア

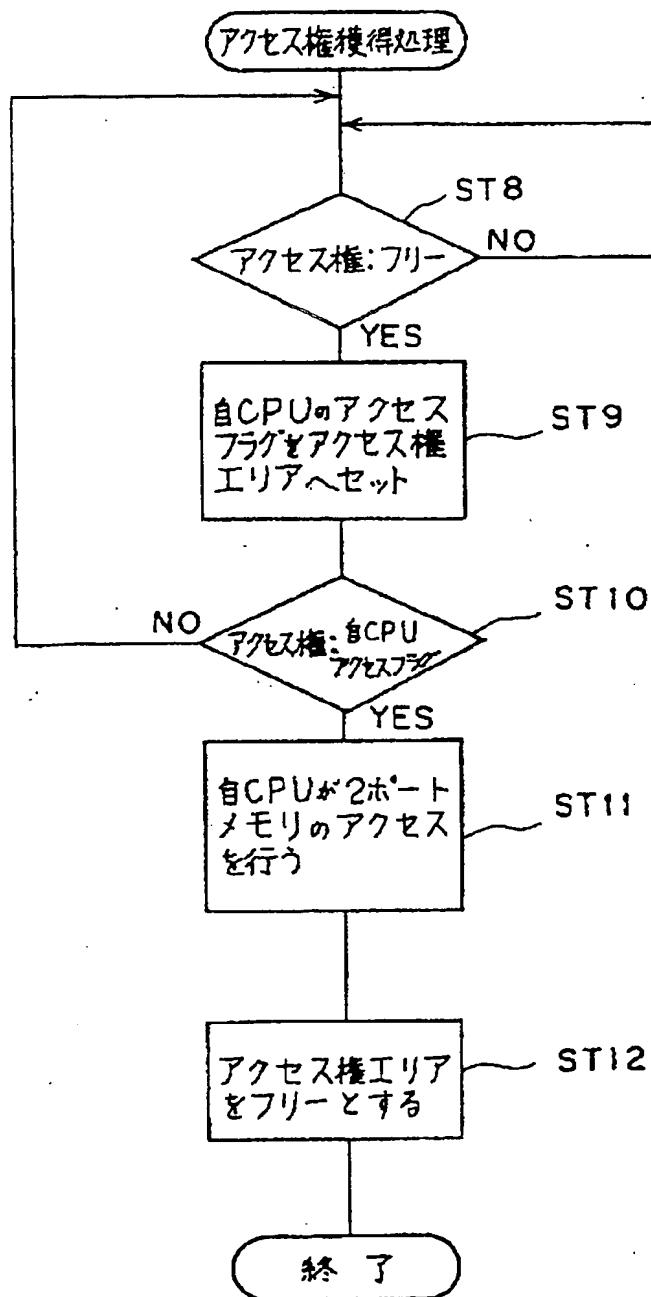
【図1】



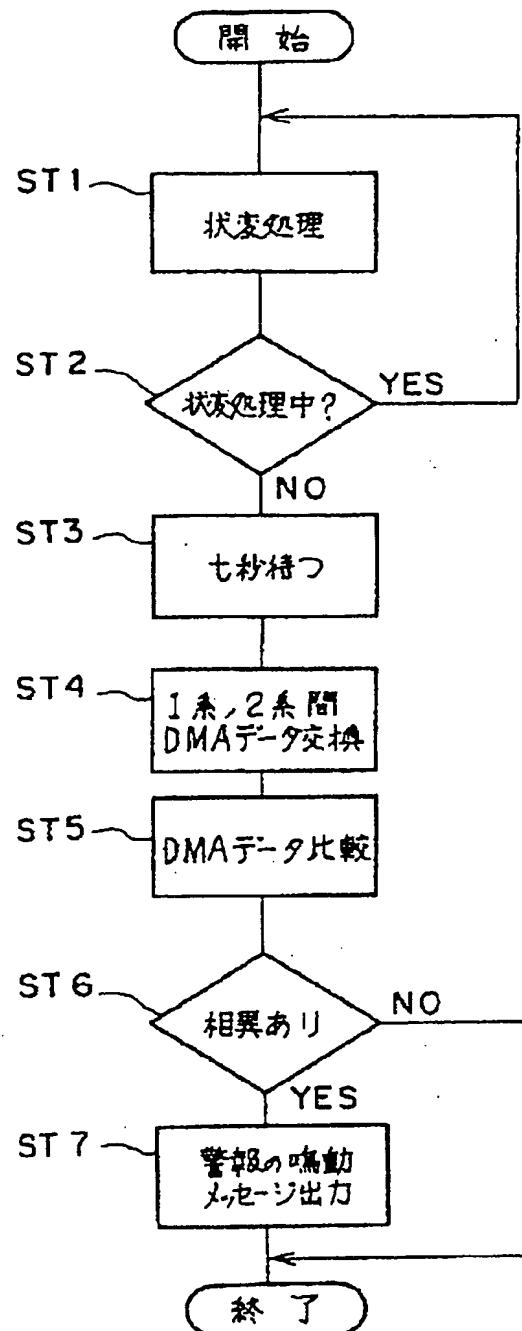
4a,4b: CPU

9: アクセスフラグエリア

【図2】



【図4】



【図3】

